

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-16266
(P2002-16266A)

(43) 公開日 平成14年1月18日 (2002.1.18)

(51) Int.Cl. ⁷	識別記号	F I	フィート (参考)
H 0 1 L 29/866		H 0 1 L 29/747	5 F 0 0 5
29/74		29/78	6 5 2 E
29/744			6 5 2 C
29/747			6 5 3 A
29/78	6 5 2		6 5 5 D

審査請求 未請求 請求項の数33 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-194035(P2000-194035)

(22) 出願日 平成12年6月28日 (2000.6.28)

(71) 出願人 000130835

株式会社サンコーシヤ

東京都品川区大崎4丁目3番8号

(71) 出願人 500304660

林 豊

茨城県つくば市梅園2-3-10

(72) 発明者 佐藤 正明

東京都品川区大崎4丁目3番8号 株式会
社サンコーシヤ内

(74) 代理人 100082669

弁理士 福田 賢三 (外2名)

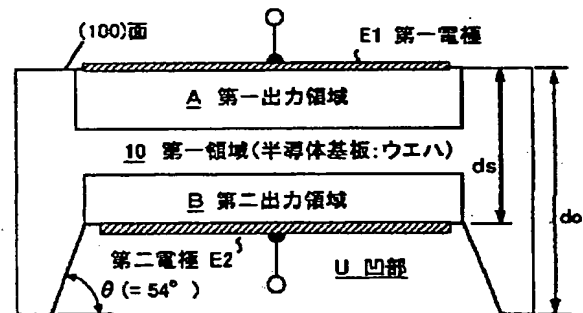
最終頁に続く

(54) 【発明の名称】 半導体素子とその製造方法

(57) 【要約】

【課題】 用いる半導体基板ウエハの厚みにより、当該ウエハに作り込まれる半導体素子の素子特性が固定的になる不都合を解消する。

【解決手段】 半導体ウエハ10の内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように第一、第二電極E1, E2間で主たる電流を流す半導体素子100を加工するときに必要な機械強度は、当該素子を作り込む半導体ウエハの厚み d_0 により確保する。素子を作り込む前に、半導体ウエハ10の一主面に凹部を設けることで厚み d_s の薄い領域部分を形成し、ここに半導体素子を作り込む。この際、当該薄層化部分における厚み d_s が、作り込む半導体素子に要求される素子特性を満たす寸法となるようにしておく。



本発明半導体素子 100

 d_0 : ウエハ厚み d_s : 薄層化された厚み

【特許請求の範囲】

【請求項 1】 半導体ウエハの内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子であって；加工時に必要な機械強度を確保するための第一の厚みを有する半導体ウエハの第一または第二の主面、あるいは第一、第二の双方の主面に凹部が設けられることで該第一の厚みよりも薄い第二の厚みとなっている半導体ウエハの薄層化部分に作り込まれ；該薄層化部分における該第二の厚みが、該半導体素子に要求される素子特性を満たす寸法となっていること；を特徴とする半導体素子。

【請求項 2】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側に第一の電極を、上記第二の主面側に第二の電極を有し、該第一、第二の電極間で該薄層化部分を介し、印加されたサージを該第一、第二の主面に抜けるように流れる上記主たる電流として放流するサージ防護素子であって；該薄層化部分における上記第二の厚みは、該サージ防護素子のオン電圧、サージ耐量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流、制限電圧のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとなっていること；を特徴とする半導体素子。

【請求項 3】 請求項 2 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第二の領域に対し少数キャリアを注入し得る第三の領域とが形成され；上記第一の電極は該第二の領域の露呈表面と第三の領域の露呈表面に接触している一方；該薄層化部分の上記第二の主面側には第一の領域と異なる導電型の第四の領域が形成され；該第四の領域の露呈表面上に上記第二の電極が接触して；上記第一領域の導電型に応じ、該第一、第二の電極のいずれか一方が正となる極性のサージのみを吸収の対象とすること；を特徴とする半導体素子。

【請求項 4】 請求項 3 記載の半導体素子であって；上記第二の電極は、上記第一の領域にも直接に、または上記第一の導電型で高濃度な第五の領域を介し導通していること；を特徴とする半導体素子。

【請求項 5】 請求項 2 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第二の領域と整流性の接合を形成する第三の領域とが形成され；上記第一の電極は該第二の領域の露呈表面と第三の領域の露呈表面に接触している一方；該薄層化部分の上記第二の主面側には、第一の領域と異なる導電型の第四の領域と、該第四の領域内にあって該第四の領域と整流性の接合を形成する第五の領域とが形成され；上記第二の電極は上記第四の領域の露呈表面と

該第五の領域の露呈表面に接触していると共に；上記第二の領域と上記第四の領域、上記第三の領域と上記第五の領域は、寸法的にも物性的にも同等の領域となっており；上記第一、第二の電極にいずれの極性のサージが印加されたときにも該サージを吸収の対象とすること；を特徴とする半導体素子。

【請求項 6】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側にアノード電極またはカソード電極である第一の電極を、上記第二の主面側にカソード電極またはアノード電極である第二の電極を有し、該第一、第二の電極間に印加される逆バイアス電圧が予め定められた大きさを越えると導通し、該薄層化部分を介し、該第一、第二の主面に抜けるように主たる電流を流す定電圧ダイオードであって；該薄層化部分における上記第二の厚みは、オン抵抗を所望する値にまで低減するのに必要な厚みとなっていること；を特徴とする半導体素子。

【請求項 7】 請求項 6 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第二の領域に対し対し少数キャリアを注入し得る第三の領域とが形成され；上記第一の電極は該第二の領域の露呈表面と第三の領域の露呈表面に接触している一方；上記第二の電極は直接に、または該薄層化部分の上記第二の主面側に形成された上記第一の導電型で高濃度な第四の領域を介し上記第一の領域に導通していること；を特徴とする半導体素子。

【請求項 8】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側にアノード電極またはカソード電極である第一の電極を、上記第二の主面側にカソード電極またはアノード電極である第二の電極を有し、該第一、第二の電極とは別途に設けられた第三の電極であるゲート電極またはトリガ電極に流れ込むトリガ電流が予め定められた大きさ以上になるとターンオンして該第一、第二の電極間で導通し、該第一、第二電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流す三端子サイリスタであって；該薄層化部分における上記第二の厚みは、該三端子サイリスタのオン電圧、電流容量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとなっていること；を特徴とする半導体素子。

【請求項 9】 請求項 8 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第二の領域と整流性の接合を形成する第三の領域とが形成され；上記第一の電極は該第三の領域の露呈表面に、上記第三の電極は上記第二の領域の露呈表

面に接触している一方；該薄層化部分の上記第二の主面側には第一の領域と異なる導電型の第四の領域が形成され；該第四の領域の露呈表面上に上記第二の電極が接触していること；を特徴とする半導体素子。

【請求項 10】 請求項 9 記載の半導体素子であって；上記第二の電極は上記第一の領域にも直接に、または上記第一の導電型で高濃度な第五の領域を介し導通していること；を特徴とする半導体素子。

【請求項 11】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側にソース電極またはドレイン電極である第一の電極を、上記第二の主面側にドレイン電極またはソース電極である第二の電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三の電極であるゲート電極に印加されるゲート電圧により選択的に導通すると、該第一、第二の電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流す DMOS 素子または VMOS 素子であって；該薄層化部分における上記第二の厚みは、該 DMOS 素子または VMOS 素子のオン抵抗ないしオン電圧を必要な値に低減させる厚みとなっていること；を特徴とする半導体素子。

【請求項 12】 請求項 11 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第一の導電型の第三の領域とが形成され；上記第一の電極は該第三の領域の露呈表面に接触している一方；上記ゲート電極は上記第三の領域の一部と上記第一の領域の一部とに跨るように上記第二の領域の上方に上記ゲート絶縁膜を介して位置し、該ゲート電極の下の上記第二の領域の一部がチャネル形成領域となっていると共に；上記第二の電極は上記第一の領域に対し直接に、または上記第一の導電型で高濃度な第四の領域を介し導通していること；を特徴とする半導体素子。

【請求項 13】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側にエミッタ電極またはコレクタ電極である第一の電極を、上記第二の主面側にコレクタ電極またはエミッタ電極である第二の電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三電極であるゲート電極に印加されるゲート電圧により選択的に導通すると該第一、第二の電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流す IGBT 素子であって；該薄層化部分における上記第二の厚みは、該 IGBT 素子のオン抵抗ないしオン電圧を必要な値に低減させる厚みとなっていること；を特徴とする半導体素子。

【請求項 14】 請求項 13 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分

を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第一の導電型の第三の領域とが形成され；上記第一の電極は該第三の領域の露呈表面に接触している一方；上記ゲート電極は上記第三の領域の一部と上記第一の領域の一部とに跨るように上記第二の領域の上方に上記ゲート絶縁膜を介して位置し、該ゲート電極の下の上記第二の領域の一部がチャネル形成領域となっていると共に；上記第二の電極は上記第一の領域に対し上記第一の導電型とは異なる導電型で高濃度な第四の領域を介し導通していること；を特徴とする半導体素子。

【請求項 15】 請求項 1 記載の半導体素子であって；該半導体素子は、上記薄層化部分の上記第一の主面側にエミッタ電極またはコレクタ電極である第一の電極を、上記第二の主面側にコレクタ電極またはエミッタ電極である第二の電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三電極であるゲート電極に印加されるゲート電圧により選択的に導通すると該第一、第二の電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流す IGBT 素子であって；該薄層化部分における上記第二の厚みは、該 IGBT 素子にあって上記コレクタ電極に接触するコレクタ領域から注入され、上記ゲート電極の下で上記薄層化部分中に設けられているベース領域にまで到達する少数キャリアの該到達時間を所望する値に規定する厚みとなっていること；を特徴とする半導体素子。

【請求項 16】 請求項 15 記載の半導体素子であって；上記薄層化部分の上記第一の主面側には、該薄層化部分を第一導電型の第一の領域として該第一の領域の該第一の導電型とは異なる導電型の第二の領域と、該第二の領域内にあって該第一の導電型の第三の領域とが形成され；上記第一の電極は該第三の領域の露呈表面に接触している一方；上記ゲート電極は上記第三の領域の一部と上記第一の領域の一部とに跨るように上記第二の領域の上方に上記ゲート絶縁膜を介して位置し、該ゲート電極の下の上記第二の領域の一部がチャネル形成領域となっていると共に；上記第二の電極は上記薄層化部分の上記第二の主面側に設けられた上記第一の導電型とは異なる導電型で高濃度な第四の領域の露呈表面に接触すると同時に該第一の領域に対し直接に、または第一の導電型で高濃度な第五の領域を介し導通していること；を特徴とする半導体素子。

【請求項 17】 半導体ウエハの内部を該半導体ウエハの互に対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって；第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、該薄層化部分に該半導体素子を作り込むようにすると共に；該半導

10

20

30

40

50

体素子を作り込む前の上記薄層化工程において形成される該薄層化部分における該第二の厚みは、その後該薄層化部分に作り込まれる該半導体素子に要求される素子特性を満たす寸法とすること；を特徴とする半導体素子の製造方法。

【請求項18】半導体ウエハの内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって；第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、該薄層化部分に該半導体素子を作り込むようにすると共に；該半導体素子を作り込む前の上記薄層化工程において形成される該薄層化部分における該第二の厚みを変更、調整すること；その後該薄層化部分に作り込まれる該半導体素子の素子特性を予め変更、調整すること；を特徴とする半導体素子の製造方法。

【請求項19】半導体ウエハの内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって；第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、該薄層化部分に該半導体素子を作り込むようにすると共に；上記第二の厚みを d_s 、上記第一の厚みを d_o とし、また、上記薄層化工程を有することで増加した全製造工程数を薄層化しない場合の全製造工程数で除した値を工程増加率 δ としたとき、該第二の厚み d_s を、 $(d_s/d_o) < (1/\delta)$ を満たす厚み以下とすること；を特徴とする半導体素子の製造方法。

【請求項20】請求項17または18記載の半導体素子の製造方法であって；上記第二の厚みを d_s 、上記第一の厚みを d_o とし、また、上記薄層化工程を有することで増加した全製造工程数を薄層化しない場合の全製造工程数で除した値を工程増加率 δ としたとき、該第二の厚み d_s を、 $(d_s/d_o) < (1/\delta)$ を満たす厚み以下とすること；を特徴とする半導体素子の製造方法。

【請求項21】半導体ウエハの内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって；第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、該薄層化部分に該半導体素子を作り込むようにすると共に；上記第二の厚みを d_s 、上記第一の厚みを d_o とし、また、上記薄層化工程を有することで増加した全製造工程数を薄層化しない場合の全製造工程数で除した値を工程増加率 δ としたとき、該第二の厚み d_s を、 $(d_s/d_o)^2 < (1/\delta)$ を満たす厚み以下とすること；を特徴とする半導体素子の製造方法。

【請求項22】請求項17または18記載の半導体素子の製造方法であって；上記第二の厚みを d_s 、上記第一の厚みを d_o とし、また、上記薄層化工程を有することで増加した全製造工程数を薄層化しない場合の全製造工程数で除した値を工程増加率 δ としたとき、該第二の厚み d_s を、 $(d_s/d_o)^2 < (1/\delta)$ を満たす厚み以下とする条件も満たすこと；を特徴とする半導体素子の製造方法。

【請求項23】請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；上記半導体ウエハの薄層化は、上記半導体ウエハに対しエッチングを施し、上記第一、第二の主面の一方または双方の側に凹部を形成すること；を特徴とする半導体素子の製造方法。

【請求項24】請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；上記薄層化部分には上記半導体素子を複数個、互いに並設の関係で作り込むこと；を特徴とする半導体素子の製造方法。

【請求項25】請求項24記載の半導体素子の製造方法であって；上記薄層化部分に上記複数個の半導体素子を作り込んだ後、該複数個の半導体素子を有する該薄層化部分を切り出して用いること；を特徴とする半導体素子の製造方法。

【請求項26】請求項24記載の半導体素子の製造方法であって；上記薄層化部分に作り込まれた上記複数個の半導体素子の隣接するもの同士の横方向間隔よりも該薄層化部分を厚み方向に流れる主たる電流の電流通路長が長くなるように上記第二の厚みを設定し、該隣接する半導体素子同士に相互作用を起こすようにすること；を特徴とする半導体素子の製造方法。

【請求項27】請求項24記載の半導体素子の製造方法であって；上記薄層化部分に作り込まれた上記複数個の半導体素子の隣接するもの同士の横方向間隔よりも該薄層化部分を厚み方向に流れる主たる電流の電流通路長が短くなるように上記第二の厚みを設定し、該隣接する半導体素子同士の間に相互作用が起きないようにすること；を特徴とする半導体素子の製造方法。

【請求項28】請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、上記薄層化部分の上記第一の主面側に第一の電極を、上記第二の主面側に第二の電極を有し、該第一、第二の電極間で該薄層化部分を介し、印加されたサージを該第一、第二の主面に抜けるように流れる上記主たる電流として吸収するサージ防護素子である場合；上記薄層化部分の厚みを、該サージ防護素子のオン電圧、サージ耐量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流、制限電圧のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとすること；を特徴とする半導体素子の製造方法。

【請求項29】請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、

上記薄層化部分の上記第一の主面側にアノード電極またはカソード電極である第一の電極を、上記第二の主面側にカソード電極またはアノード電極である第二の電極を有し、該第一、第二の電極間に印加される逆バイアス電圧が予め定められた大きさを越えると導通し、該薄層化部分を介し、該第一、第二の主面に抜けるように主たる電流を流す定電圧ダイオードである場合；上記薄層化部分の厚みは、オン抵抗を所望する値にまで低減するのに必要な厚みとなっていること；を特徴とする半導体素子の製造方法。

【請求項30】 請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、上記薄層化部分の上記第一の主面側にアノード電極またはカソード電極である第一の電極を、上記第二の主面側にカソード電極またはアノード電極である第二の電極を有し、該第一、第二の電極とは別途に設けられた第三電極であるゲート電極またはトリガ電極に流れ込むトリガ電流が予め定められた大きさ以上になるとターンオンして該第一、第二の電極間が導通し、該第一、第二電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流す三端子サイリスタである場合；上記薄層化部分の厚みは、該サイリスタのオン電圧、電流容量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとなっていること；を特徴とする半導体素子の製造方法。

【請求項31】 請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、上記薄層化部分の上記第一の主面側にソース電極またはドレイン電極である第一の電極を、上記第二の主面側にドレイン電極またはソース電極である第二電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三電極であるゲート電極に印加されるゲート電圧により選択的に導通すると該第一、第二電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流すDMOS素子またはVMOS素子である場合；上記薄層化部分の厚みは、該DMOS素子またはVMOS素子のオン抵抗ないしオン電圧を必要な値に低減させる厚みとなっていること；を特徴とする半導体素子の製造方法。

【請求項32】 請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、上記薄層化部分の上記第一の主面側にエミッタ電極またはコレクタ電極である第一の電極を、上記第二の主面側にコレクタ電極またはエミッタ電極である第二の電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三電極であるゲート電極に印加されるゲート電圧により選択的に導通すると該第一、第二の電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電

流を流すIGBT素子である場合；上記薄層化部分の厚みは、該IGBT素子のオン抵抗ないしオン電圧を必要な値に低減させる厚みとなっていること；を特徴とする半導体素子の製造方法。

【請求項33】 請求項17、18、19、20、21または22記載の半導体素子の製造方法であって；該半導体素子が、上記薄層化部分の上記第一の主面側にエミッタ電極またはコレクタ電極である第一の電極を、上記第二の主面側にコレクタ電極またはエミッタ電極である第二の電極を有し、該第一の主面または第二の主面上にゲート絶縁膜を介し該第一、第二の電極とは別途に設けられた第三電極であるゲート電極に印加されるゲート電圧により選択的に導通すると該第一、第二の電極間で該薄層化部分を介し、該第一、第二の主面に抜けるように上記主たる電流を流すIGBT素子である場合；上記薄層化部分の厚みは、該IGBT素子にあって上記コレクタ電極に接触するコレクタ領域から注入され、上記ゲート電極の下で上記薄層化部分中に設けられているベース領域にまで到達する少数キャリアの該到達時間を所望する値に規定する厚みとなっていること；を特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子とその製造方法に関し、特に、素子を作り込む半導体基板ウエハの厚みと素子特性の關係に着目した改良に関する。

【0002】

【従来の技術】半導体技術の進歩に伴い半導体基板ウエハの直径も増加して来ており、現在では8インチが主流、12インチウエハを使った製造技術も実用化されつつある。逆に、6インチ以下の小口径ウエハは特注しないと入手できない状況にすらなっている。当然のことながら、半導体加工装置の方も、現在では8インチ用が主流となっており、6インチ用は新規に購入することも難しいばかりか、そろそろ、装置メーカーの保守サービスさえも長期には期待できなくなっている。

【0003】ここで問題なのは、ウエハの大口径化に伴い、ウエハの厚みも厚くなりつつある現状である。そもそもウエハ径6インチ時代においてすら、すでにウエハの厚みは600 μm 以上はあった。これが8インチ径となると700 μm を越え、12インチウエハでは800 μm に迫るほどになっている。確かに、加工中のことを考えると、ウエハの機械強度を確保するためには径に応じてその位の厚みが要求される場合も少なくない。6インチウエハでも、せめて500 μm 以上は必要とされる。しかし、素子特性に着目すると、この厚みは厚過ぎることが多い。

【0004】特に、半導体基板の厚み方向に電流を流す半導体素子、例えば、サージ防護素子、DMOS素子、VMOS素子、IGBT素子、サイリスタ(SCR)等々、半導体ウエハ

内部を通り当該ウエハの第一、第二主面に抜けるように大電流を流す素子について考えると、確かにある程度の電圧に耐え得るようにするためには、半導体ウエハ基板の抵抗率を50Vで略々 $1\Omega\text{-cm}$ 以上、300Vでは略々 $10\Omega\text{-cm}$ 以上とする必要がある場合が多い。しかし、こうした耐電圧実現のためとは言え、上記したような6インチ径ウエハ基板における600 μm にも及ぶような厚み等、殆どの場合、必要としない厚さである。一般的に言って300Vではその三十分の一の20 μm 程もあれば十分で、寧ろウエハ厚み増加の現実、出力抵抗の増加、オン電圧の増加、電流耐量の減少、動作速度の減少と言った様々な弊害をもたらしている。

【0005】そこで、従来からも、ウエハ基板の裏面に単に電流出力のコンタクトに使っていたDMOS素子、VMOS素子等では、低抵抗率ウエハ基板上に高抵抗率エピタキシャル層を成長させたエピタキシャル基板を使って、電圧と電流容量、オン電圧に対する複数の要求を満たしてきた。

【0006】

【発明が解決しようとする課題】ところが、半導体基板の表裏両面からキャリアの注入制御の必要な、ターンオン型のサージ防護素子やIGBT素子、SCR等では、エピタキシャル基板の使用が難しく、特別仕様の小口径薄形半導体基板を旧式小口径加工装置で加工、製造するような現実もあった。これは極めて不合理であり、良好で、かつ設計仕様値に極力近い素子を作成する上でも望ましくはない。これらの素子をせめて数世代前のMOSLSI製造ラインのまま作ることが出来れば、ラインの空きを有効活用でき、経済効果も大きいばかりか、より積極的に、素子を作り込む領域のウエハ厚みを所望の値に調整することで、素子特性そのものを所望の値にし得ると極めて望ましい。また、エピタキシャル成長層を使用可能なDMOS素子、VMOS素子でも、そうしたエピタキシャル法を採用して実効的な薄層化部分を作るに際し、欠陥の少ない単結晶薄層化部分を作る必要上からは高度で高価な装置を必要とし、必ずしも望ましい方法とは言えない。

【0007】

【課題を解決するための手段】こうした問題意識の下になされた本発明者の種々の実験、検証によると、素子を作り込む基板領域の厚みの相違が相当程度に素子特性に影響を及ぼすことが分かった。そして、経済効率をまで考えても、基板の一部を薄層化することが有効なことも分かった。そこで、本発明者は、上記の目的を達成するためには、以下のような半導体素子及びその製造方法を提供すれば良いと言う結論に至った。

【0008】すなわちまず、本発明では、基本構成として、半導体ウエハの内部を当該半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子であって、加工時に必要な機械強度を確保するための第一の厚みを有する半導体ウエハの第一また

は第二の主面、あるいは第一、第二の双方の主面に凹部が設けられることで当該第一の厚みよりも薄い第二の厚みとなっている半導体ウエハの薄層化部分に作り込まれ、この薄層化部分における第二の厚みが、当該半導体素子に要求される素子特性を満たす寸法となっていること；を特徴とする半導体素子を提案する。

【0009】本発明は下位概念として種々の機能を実現する様々な素子に適用が可能で、例えば既に述べたようなサージ防護素子、定電圧ダイオード、三端子サイリスタ、DMOS素子ないしVMOS素子等のMOSFET系パワー素子やバイポーラ系のIGBT素子等が挙げられる。

【0010】サージ防護素子に適用した場合には、薄層化部分における第二の厚みは、当該サージ防護素子のオン電圧、サージ耐量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流、制限電圧のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとすることができる。

【0011】ブレイクオーバー動作を伴わない定電圧ダイオードに適用した場合には、薄層化部分における第二の厚みは、オン抵抗を所望する値にまで低減するのに必要な厚みとすることができる。

【0012】さらに、三端子サイリスタに適用した場合には、薄層化部分における第二の厚みはそのオン電圧、電流容量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流のどれか一つまたは幾つか、あるいは全てを所望の値にする厚みとすることができる。

【0013】また、DMOS素子ないしVMOS素子の場合には、第二の厚みはこれらDMOS素子またはVMOS素子のオン抵抗ないしオン電圧を必要な値に低減させる厚みとすることができ、IGBT素子の場合にはオン抵抗ないしオン電圧を必要な値に低減させる厚みとするか、IGBT素子のコレクタ電極に接触するコレクタ領域から注入され、ゲート電極の下で薄層化部分中に設けられているベース領域にまで到達する少数キャリアの当該到達時間を所望する値に規定する厚みとすることができる。

【0014】本発明は半導体素子の製造方法としても規定でき、その基本態様として、半導体ウエハの内部を半導体ウエハの互いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって、第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を当該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、その薄層化部分に半導体素子を作り込むようにすると共に、当該半導体素子を作り込む前の薄層化工程において形成された薄層化部分における第二の厚みは、該薄層化部分にその後作り込まれる当該半導体素子に要求される素子特性を満たす寸法とすること；を特徴とする半導体素子の製造方法を提案する。

【0015】本発明はもう少し表現を変えても規定でき、すなわち、半導体ウエハの内部を半導体ウエハの互

10

20

30

40

50

いに対向する第一、第二の主面に抜けるように主たる電流を流す半導体素子の製造方法であって；第一、第二の主面間の寸法である第一の厚みを有する半導体ウエハの一部を当該第一の厚みより薄い第二の厚みに薄層化して薄層化部分を形成する薄層化工程を経た後、その薄層化部分に該半導体素子を作り込むようにすると共に；当該半導体素子を作り込む前の薄層化工程において形成された薄層化部分における第二の厚みを変更、調整することで、該薄層化部分にその後作り込まれる当該半導体素子の素子特性を予め変更、調整すること；を特徴とする半導体素子の製造方法を提案するものでもある。これはつまり、他のパラメータなどは同一条件にしたままで、単に薄層化部分の第二の厚みの変更のみで、所望する他の素子特性の半導体素子を作製し得ることを意味する。

【0016】本発明において薄層化部分を形成する作業は、基本的には種々の手法に従って構わないが、望ましくは半導体ウエハに対しエッチングを施し、その第一、第二の主面の一方または双方の側に凹部を形成することとを提案する。精度かつ再現性良く、薄層化部分の第二の厚みを規定できるからである。

【0017】本発明の特定の態様では、薄層化部分には半導体素子を複数個、互いに並設の関係で作り込むことを提案する。この場合、これら複数個の半導体素子を有する薄層化部分は切り出して用いることもできる。加工時に機械的な強度が要求されるがために厚い第一の厚み部分が必須ではあっても、加工が終われば薄層化された極めて薄い状態でも、製品化するためのモジュール等、他の支持手段により補強可能なことは十分あるからである。寧ろ、製品の薄型化に効果が期待される場合もある。

【0018】さらに、少し別な観点から述べるに、本発明の他の特定の態様として、薄層化部分に作り込まれた複数個の半導体素子の隣接するもの同士の横方向間隔よりも薄層化部分を厚み方向に流れる主たる電流の電流通路長が長くなるように第二の厚みを設定すると、それら隣接する半導体素子同士に相互作用を起こすようにすることができる。

【0019】逆に、複数個の半導体素子の隣接するもの同士の横方向間隔よりも薄層化部分を厚み方向に流れる主たる電流の電流通路長が短くなるように第二の厚みを設定することで、それら隣接する半導体素子同士の間に相互作用が起きないようにすることもできる。

【0020】製造方法として本発明を規定するときも、対象となる半導体素子は既述した所と同様であり、薄層化部分の第二の厚みの調整により、既に述べたように、それぞれの素子に応じてそれぞれの素子特性を調整、規定することができる。

【0021】上記に加えて、あるいはそれ自体発明的な提案として、本発明では経済効率をも踏まえた観点から、上記してきた薄層化部分の第二の厚みを d_2 、第一の

厚みを d_0 とし、また、薄層化工程を有することで増加した全製造工程数を薄層化しない場合の全製造工程数（本発明を適用しない場合の全工程数）で除した値を工程増加率 δ としたとき、当該第二の厚み d_2 を、 $(d_2/d_0) < (1/\delta)$ を満たす厚み以下とするか、あるいは $(d_2/d_0)^2 < (1/\delta)$ を満たす厚み以下とすることも提案する。

【0022】

【発明の実施の形態】図1には本発明を適用した半導体素子100の基本的実施形態の概略構成が示してある。厚み d_0 の半導体ウエハ10の一部分は凹部Uが形成されることで厚み d_2 にまで薄層化され、その薄くなった部分に半導体素子が作り込まれている。半導体素子100は当該薄層化部分で第一半導体領域（以下、単に第一領域；他の領域についても同様とする）10の厚み方向（図中で上下方向）に主たる電流を流す性質のもの、換言すれば半導体ウエハ10の内部を当該半導体ウエハ10の互に対向する第一、第二の主面に抜けるように流す性質のもので、少なくとも外部回路（図示せず）との間で当該主電流をやり取りするための第一、第二の出力領域A、Bを有している。構造的にこのように概念される半導体素子にも種々あり、既述の通り、例えばサージ防護素子、定電圧ダイオード、サイリスタ(SCR)、DMOS素子ないしVMOS素子、IGBT素子等がある。本発明はそのような素子のどれにも適用可能である。

【0023】第一、第二出力領域A、Bはそれぞれ第一領域10を挟む形で厚み方向上下に対向して設けられ、それぞれその一表面を露呈していて、そこに外部回路が接続される第一、第二電極E1、E2が設けられている。本発明では、対象となる半導体素子は上記のように主たる電流を基板厚み方向に流すものであれば良く、制御端子の有無を問わない。例えば、既述した二端子素子の場合には文字通り第一、第二電極E1、E2以外は備えられず、サージ防護素子とか定電圧ダイオードでは第一、第二領域A、Bの一方がカソード、他方がアノードとなり、それ以外の電流流入領域は存在しないが、例えばDMOS素子やVMOS素子等のMOSFET類では第一、第二出力領域A、Bの一方がドレイン、他方がソースとなり、IGBT素子では一方がエミッタ、他方がコレクタ、三端子以上のサイリスタ等では一方がカソード、他方がアノードとなる他に、それら素子自体の動作を制御するための第三電極としてのゲート端子等、制御端子を当然に有する。図1ではこうした第三の電極ないしそれ以上の制御端子は図示していない。また、「主たる電流」とは、図示しない外部回路を動作させるために、あるいは外部回路により処理させるに必要な電流であるか、外部回路に印加されると不都合であるので当該半導体素子を介し、例えば接地回路に流し込むサージ放流電流等である（この場合には接地回路により当該放流電流を処理させているとも言える）。ゲート端子等、制御端子から流入することでその

半導体素子そのものの動作を規定する電流は主電流とは呼べない。あくまで素子固有の制御電流である。繰り返しておくと、後述する各具体的な実施例素子において、第一電極E1の接触している領域が第一出力領域Aであり、第二電極E2が接触している領域が第二出力領域Bである。

【0024】半導体ウエハ100の厚み d_0 は、半導体素子を加工する過程で必要な機械強度を確保する。一般にこの厚み d_0 は提供される半導体ウエハの厚みそのものであって良い。対して薄層化された部分（第一領域10）の厚み d_s は、そこに作りこまれる半導体素子において実現すべき素子特性を極力満たすような厚みとされる。換言すれば、従来は機械強度確保のために素子特性にしてみれば無闇に厚くなっていた半導体ウエハの厚み問題を解消する。

【0025】例えば、半導体素子100がサージ防護素子であるならば、加工時の機械的な強度を確保するために厚み d_0 はある一定値以上の厚さに留めねばならず、一般には半導体ウエハの厚みそのものを利用せねばならない時にも、素子を作り込む領域の厚み d_s の方を任意に必要な薄さにすることで、後述するようにオン電圧 V_{on} 、サージ耐量 I_{pp} 、ブレイクオーバー電圧 V_{bo} やブレイクオーバー電流 I_{bo} 、制限電圧等を必要な値に調整、制御できる。他の素子、例えば定電圧ダイオードではオン抵抗、ひいては電流容量等を調整、規定でき、サイリスタでは同様にオン電圧を制御できる外、サージ防護素子における同様の素子特性を調整でき、動作遅れを改善することもできる（ただし、サージ耐量という概念はサイリスタの電流容量となる）。電力素子として主として使われるタイプのMOSFET類やIGBT素子では、厚さ d_s を最適化することで高速動作化におけるオン抵抗を低減し、オン電圧を低下させることや、動作初期の少数キャリアの振る舞いを高速化し、ひいては素子動作を高速化する等が可能になる。

【0026】厚み d_0 の半導体ウエハ100にあって素子を作り込む部分を厚さ d_s に低減させるための薄層化工程における機械加工的ないし物理加工的な技術自体は種々あり、任意に採用可能ではあるが、好ましくは、そしてまた簡単、高精度には、エッチング技術によることができる。例えば、図中に例示のように主面が(100)面であるシリコン半導体ウエハ100を用いれば、次のような既存、公知の工程を経ることで相当薄くすることができる。

【0027】(1) ウエハの第一、第二主面上に熱酸化等で例えば1000Å程度の二酸化シリコン膜を形成する。

(2) フォトリソを塗布し、例えば平面的に見て升目状等に複数の矩形凹部を形成する部分を残して露光処理等によりパターンニングし、要すればベーキングを施す。

(3) バッファードHF溶液で選択エッチングし、凹部を形

成する部分の二酸化シリコン膜を除去する。

(4) ヒドラジン、エチレンジアミン等の有機アルカリの90°C水溶液かKOH、NaOH等の無機アルカリ水溶液にて所望する厚み d_s までエッチングする。

【0028】このような手順により、図示のように断面が台形の凹部Uが再現性良く形成される。ちなみに、上記の手順に従った場合、台形凹部の側面が(111)面となり、当該側面がウエハ主面となす内傾きの角度 θ はほぼ54°となる。薄層化の限度は相当高く、 $d_s=100\mu\text{m}$ 程度には容易にでき、 $20\mu\text{m}$ 程度にすることさえ可能で、かつ、その程度にまで薄くしても、周囲の厚みが半導体ウエハの厚み d_0 そのまもの500~600 μm 以上であれば、その後の素子加工のための加工装置に搬入した場合にも何等問題なく、半導体素子の作り込みを行うことができる。なお、残留イオンによる信頼性の問題を回避するためには、既述のエッチング工程で有機アルカリ溶液を用いた方がよい。また、加工が終わった後は、製品化の最終工程で装置モジュールに搭載するに先立ち、デバイスの作製されている薄層化部分のみをいわゆるチップとして切り出し、それを装置モジュールに固定するようにしてもよい。

【0029】さて、本発明の利点をより明らかにするために、本発明を適用した半導体素子100の具体的一例として、図2に本発明を適用したサージ防護素子100を示す。これについてはまず、この種のサージ防護素子の基本的な構造例と動作につき説明することで、後に述べる他の素子に本発明を適用した場合共々、本発明の理解の助けとなる。

【0030】そもそもサージ防護素子とは、雷やスイッチングサージ等、各種サージ要因に基づく異常高電圧ないし異常大電流から電気回路系を保護するため、サージが印加されると降伏動作を生起し、素子両端電圧をある一定の降伏電圧にクランプするか（定電圧ダイオード型ないし単純なブレイクダウン型）、サージの印加に伴い素子が降伏して素子電流が流れ始めた後、それが絶対値においてブレイクオーバー電流値以上にまで増加すると負性特性を呈してブレイクオーバーし、素子両端電圧が降伏電圧よりも低いオン電圧に遷移することで大電流のサージを吸収するもので、後者はブレイクオーバー型と呼ばれている。

【0031】ブレイクオーバー型の方が素子自体の消費電力（発熱）が少なく、大きなサージを吸収できる点で優れている面が多いが、これにはまた、最初の降伏開始メカニズムに雪崩降伏ないしツェナ降伏を利用するものと、そうではなくパンチスルー現象を利用するものがある。本発明はそうした初期降伏メカニズムがいずれの原理に従う素子であっても適用し得るが、一般的な比較で言う限り、相当程度の幅で設計性良く任意の降伏電圧（後述）が得られる点、接合容量や抵抗等、種々の電気

的特性を独立に設計可能な点においてパンチスルー現象

を利用するブレイクオーバー型のサージ防護素子が有利である。また、サージ防護素子それ自体の改良は本出願人においてもこれまでに多々なしてきており、下記に列挙する通り、各公知文献中にその足跡を認めることができる。多くはパンチスルー型のサージ防護素子に適用して有用な改良ではあるが、雪崩降伏型ないしツェナ降伏型にも適用可能な改良も含まれている。予め述べておくと、公知文献中に認められる改良は、本発明を適用したサージ防護素子にあっても任意に採用し得ることは当然である。

【0032】公知文献 1: 特公平 7- 77268号公報、

公知文献 2: 特公平 1- 33951号公報、

公知文献 3: 特公平 2- 52862号公報、

公知文献 4: 特公平 4- 78186号公報、

公知文献 5: 特公平 6- 38507号公報、

公知文献 6: 特公平 6- 38508号公報、

公知文献 7: 特公平 6- 56885号公報、

公知文献 8: 特公平 7- 7837号公報、

公知文献 9: 特公平 7- 70740号公報、

公知文献10: 特許第 2,614,153号

公知文献11: 特公平 7- 93423号公報、

公知文献12: 特公平 7- 93424号公報、

公知文献13: 特開平 8-144879号公報、

公知文献14: 特開平 8-141184号公報、

【0033】さて、図17には一般にパンチスルー型として構築されるサージ防護素子の基本的な断面構造例が示されている。半導体ウエハないし半導体基板として提供される第一領域10があり、その導電型はp,nのいずれかに選択されるが、ここではp型の場合が例示されている。便宜上、この第一領域10の導電型を第一の導電型と呼ぶ。第一領域10の一方の主面側には第二領域20、第三領域30が一般に不純物の二重拡散技術やイオン打ち込み技術等、適当なる不純物導入技術を利用して順次形成される。第二領域20は第一領域10と整流性接合（代表的にはpn接合）を形成する必要があるので図示の場合はn型に選ばれるが、特に本素子をパンチスルー型とするときには少し低濃度のn型とするのが望ましい。対して第三領域30は、第二領域20に対し第二領域20にとっての少数キャリアを注入できる物性の領域、すなわち第二領域20と相まって少数キャリア注入接合を形成し得る領域であれば良く、例えば第二領域20がp型半導体の場合には電子注入可能な金属、n型の場合にはホール注入可能なシリサイド等で作製することもできる。しかし一般的なのは、やはりこの第三領域30も半導体領域として整流性接合を形成させることで、図示の場合にもそのような例が示されており、当該第三領域30は第二領域20とは逆導電型、すなわち第一の導電型のp型の半導体領域となっている。また、後述の動作例からも分かるように、この第三領域30はブレイクオーバー後の素子内の主電流経路の一端部をも形成するので、望ましくは高導電率の半導体領

域、すなわち高濃度不純物の半導体領域とするのが良い。

【0034】第一領域10の他方の主面側（図中、下側）には、第二領域20と対向し、第一領域10に対して少数キャリアを注入可能な物性の第四領域40が設けられる。既述の第三領域30におけると同様、第一領域10が図示のようにp型半導体の場合には金属、n型半導体の場合にはシリサイド等でこの第四領域40を作製することも可能であるが、これも一般的にはやはり半導体領域とし、第一領域10との間で整流性の接合を形成させるのが普通である。そこで図示の場合も、第一領域10との間で少数キャリア注入接合を形成すべきこの第四領域40はn型の半導体領域40、それも上述した第三領域30に関するのと同じ理由で、望ましくは高濃度不純物の半導体領域となっている。

【0035】第二領域20の表面と第三領域30の表面とに対してはそれらに共通にオーミック接触する第一の電極E1が設けられ、第四領域40に対してもそれにオーミック接触する第二の電極E2が設けられている。第二電極E2はまた、第一領域10に導通する部分を有する場合もあり、それなりに特定の効果を有するが、ここでの基本的な説明においてはこれに触れない。このような断面構造のサージ防護素子は、全ての領域10、20、30、40が第一領域10の厚味方向に沿って上下の積層関係となっており、また、以下に述べる動作からも明らかなように、サージを吸収した結果としての素子電流（主電流）も第三、第四領域30、40間の第一領域10中を当該第一領域10の厚味方向に流れるため、ヴァーティカル型ないし縦型と呼ばれる。これに対し、第四領域40が第二領域20と並設の関係で第一領域10の同じ主面側に設けられたラテラル型ないし横型もある。このようなサージ防護素子も、動作原理上においては大きな相違はないが、本発明ではこのようなラテラル型のサージ防護素子は適用の対象外であるので、詳しい説明は省略する。

【0036】こうしたサージ防護素子のサージ吸収動作につき説明するに、第一、第二電極E1、E2間にサージ電圧が印加され、それが第一領域10と第二領域20との間のpn接合（整流性接合）に逆バイアスを印加する位相（各領域が図示の導電型関係である場合には第一電極E1の側が正となる位相）で、かつ、所定の大きさ以上のものであるならば、当該第一、第二領域10、20間のpn接合における空乏層の上方端部が第三領域30に達してパンチスルーする状態が生起する。この空乏層は第一領域にも伸びるが、第二領域20を低濃度不純物領域とするのが望ましいのは、このときの空乏層の第三領域30方向の伸びの割合を大きくするためである。

【0037】このようなパンチスルーメカニズムが生ずると、このときに順バイアスとなっている第四、第一領域40、10間の少数キャリア注入接合（この場合は整流性もあるpn接合）を介して第四領域40から第一領域10中に

注入された当該第一領域10にとっての少数キャリアは、第三領域30から第二領域20をバンスルーして第一領域10に流れ込んできた異極性キャリアと一部は結合して消滅するが、多くは空間電荷層となっている第二領域20にも到達し、さらに、第二領域20の表面に接触している第一電極E1との間で電流経路が確立している結果、サージ印加による電界の存在の下で第三領域30の下面をなめるようにしながら横方向に移動し、第二領域20の表面に接触している第一電極E1に至る。これにより、素子電流としてサージを吸収した結果の電流 I_{srq} が第一、第二電極E1、E2にて流れ始める。こうした動作の開始電圧が、図示のサージ防護素子の電圧対電流(V-I)特性例を示す図18において電圧軸上で「降伏電圧 V_{br} 」と示された点に相当する。降伏電圧は「動作電圧」と呼ばれることもある。

【0038】第四領域40からの少数キャリア流が発生すると、例えば第二領域20と第三領域30とが第一電極E1により、それらの表面では互いに電氣的に短絡されていても、図18中、電流軸の正方向に向かって急に立ち上がって行く特性曲線部分に示されるように、第二領域20を介して流れ始めて以降、増加して行く素子電流の電流値と当該素子電流の第二領域20内における電流経路に沿った抵抗値との積である電圧値(第二領域内の電圧降下)が、当該第二領域20と第三領域30により構成される少数キャリア注入接合(図示の場合はpn接合)の順方向電圧に等しくなった部位からこの接合がターンオンして行き、第三領域30から第二領域20に対し、第二領域20にとっての少数キャリアの注入が起こる。そして、この第二領域20への少数キャリアの注入は、結果として第一、第二電極E1、E2間に流れる素子電流のさらなる増大を招くため、これがまた第四領域40から第一領域10への少数キャリア注入を促進し、第二、第三領域12、13間の少数キャリア注入接合のターンオンする部位を広げて行くという正帰還現象を招き、やがてこの少数キャリア注入接合が実質的に少なくともそのほぼ全面のターンオンに至ると、素子内部の主電流通路が確立し、第三、第四領域30、40間にて大電流を吸収し得るようになる。

【0039】従って、図18に示されている特性図で見ると、第一、第二電極E1、E2間に「ブレイクオーバー電流 I_{bo} 」として示されたある値以上の素子電流 I_{srq} が流れたときに素子内部で正帰還現象が生じたことの表れとして負性抵抗特性が生じ、第一、第二電極E1、E2間に表れる素子両端電圧は、ブレイクオーバーを開始した時の電圧値である「ブレイクオーバー電圧 V_{bo} 」よりも低く、さらには最初に降伏を開始した時の降伏電圧 V_{br} よりも低い「オン電圧 V_{on} 」に移行することができ、これにより、素子の発熱を抑えながら大きなサージ電流 I_{srq} の吸収が可能となる。オン電圧 V_{on} は、以前は「クランプ電圧」と呼ばれていたこともある。また、こうしたサージ防護素子により、第一、第二電極E1、E2を介して吸収可能な

最大電流値が一般に「サージ耐量 I_{pp} 」と呼ばれ、ターンオンした素子とそのオン状態を維持するのに必要な最小の素子電流値が一般に「保持電流 I_h 」と呼ばれる。

【0040】図示のように第二領域20と第三領域30とを第一電極E1にてそれらの表面で短絡するのではなく、それらからそれぞれ独立に端子を取出し、素子の外部にて短絡した場合にも上記の動作は基本的には生起する。しかし、そうすると当該短絡線路ないし短絡手段に見込まれる抵抗値やインダクタンス値の如何に応じ、印加されるサージの立ち上がり時の電圧の時間微分値(dV/dt)の大きさによって降伏電圧 V_{br} (ひいてはブレイクオーバー電圧 V_{bo})がかなり変動する可能性が高い。換言すると、図示のように第二領域20と第三領域30とが第一電極E1によってそれらの表面において短絡されていれば、そうした恐れは低減され、降伏電圧 V_{br} (ブレイクオーバー電圧 V_{bo})の安定化を図ることができる。

【0041】しかるに、上述の説明からして、図示されているサージ防護素子においては、吸収の対象となるサージの極性が特定されていることが分かる。つまり、各領域に関する図示の導電型関係では第一電極E1の側が正となる極性のサージでなければブレイクオーバー特性をもってこのサージ電流を吸収することができない。その意味で、図示の素子は、吸収し得るサージの極性に関して限定のある片極性ないし「ユニポーラ」なサージ防護素子である。これに対し、サージの極性の如何にかかわらず、第一、第二電極E1、E2のいずれが正となる極性のサージでも共に吸収可能な「バイポーラ」サージ防護素子も、図中にて仮想線で示す第五領域50を追加することで提供可能となる。

【0042】すなわち、第四領域40を第二領域20と同様の半導体領域として寸法的にも物性的にも同等の領域とし、この中に作り込む第五領域50をやはり第三領域30と寸法的にも物性的にも同等の半導体領域とすれば、図示の素子は第二電極E2の方が正となる極性のサージに関し、これまで説明してきた第二領域20の機能を第四領域40が、第三領域30の機能を第五領域50がそれぞれ営むことになり、メカニズム自体としては同様の原理により、当該逆極性サージを吸収可能となる。この場合の動作曲線は図18において実線で示した第一象限における特性図を原点対象にしたものとなり、第三象限に仮想線で示すようになる。

【0043】さて、従来は、こうしたサージ防護素子の第一領域10の厚みは提供される半導体ウエハの厚み d_0 そのものであり、従って、薄くても500 μm 、厚ければ既述のように600 μm から800 μm 以上にも昇ろうかという厚みは、作製される素子の特性には悪影響を及ぼしていたことが多い。

【0044】図3には、基板ウエハの厚み d_0 を薄層化することなく、そのまま素子を作りこんだ場合の当該基板ウエハの厚み d_0 とオン電圧の関係がサージ防護素子に通

10

20

30

40

50

電されるサージ電流 I_{srq} の値をパラメータとして示されている。1A程度の小電流通電時には基板ウエハの厚み増加による基板抵抗の増加、ひいてはオン電圧 V_{on} の増加傾向は、基板内部における電圧効果の増し分が小さいために余り顕著には見えて来ない。しかし、実働下での条件に近くなってくる100A (at 10/1000 μ s) 以上となると、厚みの増加はオン電圧 V_{on} の増加にかなりな影響を及ぼす。

【0045】例えば、550 μ m厚の基板ウエハを用いた素子で250Aのサージ電流を吸収するにはオン電圧は33V程度と高くなるが、400 μ m基板ならば17V程度と略々半減することになる。従って、この事実は、本発明はこのようなサージ防護素子に対し、如何に有用に適用し得るかを示している。既述したように、本発明では意図的に素子作製領域を薄層化し、かつ、その厚さの低減程度は400 μ mはおろか、要すれば数十 μ m程度にまで低減できるのであるから、オン電圧 V_{on} も必要に応じ数V以下には容易にできる。ただ、余り低すぎると、却って接続している外部回路系に誤動作を生ずる場合も考えられるため、要求されるオン電圧には下限値を設定した方がよい。これは換言すれば、機械的な強度を薄層化部分周囲の厚い部分で保ちながら、薄層化部分の厚み d_s の調整により任意所望のオン電圧に調整、制御可能なことを意味している。

【0046】図2は、図17に示した従来のサージ防護素子を本発明に従って改良した場合の基本的な断面構造が示されている。図17中における同一符号の要素は同一の要素を示し、第三領域30と同等の第五領域50(仮想線で図示)を設ければ両極性のサージを吸収可能な素子となるし、そうでなければ片極性用となる。いずれにしても構造関係やサージ吸収のメカニズム自体は既述した従来に即しての説明と同様となるので再度の説明は控える。本発明による特徴的な点は、少なくとも凹部Uを形成するようにしてもともとの厚み d_b を厚み d_s にまで薄層化された半導体ウエハ10の領域部分にサージ防護素子が作り込まれていることで、当該厚み d_s の調整で、様々な素子特性、例えば、オン電圧 V_{on} を必要な値に規定することができる。さらに言うなら、オン電圧 V_{on} の異なるサージ防護素子が要求された場合にも、本発明に従えば、領域作製パラメータは寸法的にも物性的にも同一としたまま、素子作り込みの前の薄層化工程において単に基板厚 d_s をその要求されたオン電圧 V_{on} を満たすように変えるだけで良い、ということも言える。少なくとも100 μ m程度には容易に薄層化でき、20 μ m程度にすることも可能である。

【0047】実例を挙げるならば、製造パラメータや測定パラメータは同一として、550 μ m厚の基板をそのまま用いてそこに作製したサージ防護素子と、本発明により厚みを100 μ mにまで薄層化した部分に作り込んだサ

ージ防護素子とでは、前者のオン電圧 V_{on} が直流印加時に9V、サージ印加時に28Vであったのに対し、後者の本発明に従ったものでは直流印加時に2V、サージ印加時に3Vにまで低減し得、大幅な特性向上が得られている。ただし、先にも述べたように、オン電圧 V_{on} に下限値が定められている場合には、その要求を満たすように薄層化の程度を低く留めれば良い。

【0048】厚み d_s の調整ないし制御は、サージ防護素子のさらに他の素子特性の変更ないし調整、規定に利用できる。例えば図4は、やはり半導体基板ウエハの厚み d_b を薄層化することなく、厚い所にそのまま素子を作りこんだ従来例における当該基板ウエハの厚み d_b とサージ印加時のブレイクオーバー電圧 V_{bo} との関係をサージ防護素子に通電されるサージ電流 I_{srq} の値をパラメータとして示したものである。明らかな通り、サージ印加時のブレイクオーバー電圧 V_{bo} も基板の厚み d_b によって大幅に変わり、250A通電時で見ると400 μ m厚の時の値215V弱から550 μ m厚のときの265V程度と、相当な幅がある。これは、外部回路にこれ以上の高さの電圧は印加してはいけなとする「制限電圧」との関係でも重要な意味があり、厚みが厚いと、要求される制限電圧を満足し得ない事態も起こり得る。制限電圧については他のパラメータにより調整可能にしても、基本的なサージ吸収性能を少し落とさねばならない場合もある。これに対し、本発明を適用すれば、ブレイクオーバー電圧 V_{bo} を必要な値にするのに、薄層化部分の厚み d_s の調整だけでも良いことになり、これは大きな利点である。

【0049】代表的にブレイクオーバー電圧 V_{bo} についてみるに、やはり上述の実例におけると同様、製造パラメータや測定パラメータは同一として、550 μ m厚の基板をそのまま用いてそこに作製したサージ防護素子と、本発明により厚みを100 μ mにまで薄層化した部分に作り込んだサージ防護素子とでは、前者のブレイクオーバー電圧 V_{bo} が直流印加時に200V、サージ印加時に265Vであったのに対し、後者の本発明に従ったものでは、直流印加時には同じ値200Vであるが、実働条件下のサージ印加時には215Vにまで低減し得、これも十分におおきな応答特性の向上効果が得られた。

【0050】サージ耐量 I_{pp} についても、本発明による有効な制御調整が図れる。図5には、半導体ウエハに作り込んだサージ防護素子の基板厚の相違による比較結果を示しており、当該サージ防護素子のサージ耐量 I_{pp} は基板厚 d_b が350 μ mの時の280A程度から、550 μ m厚では150A程度にまで低下してしまっている。この特性を取った素子のオン電圧 V_{on} も併記してあるが、やはり100Aサージ通電時では7.5V程度から17.5V程度までと、大きく変わってしまっている。これが本発明によれば、素子を作り込む領域の厚み d_s は上述の350 μ mはもとより、100 μ m程度から20 μ m程度にまでも薄層化し得るので、他の条件を同じとしても大幅なサージ耐量の向上

を見込むことができる。

【0051】やはり先と同様、実際に比較をしてみた所、製造パラメータや測定パラメータは同一として、550 μm 厚の基板をそのまま用いてそこに作製したサージ防護素子と、本発明により厚みを100 μm にまで薄層化した部分に作り込んだサージ防護素子とでは、前者のサージ耐量 I_{pp} が180A程度しかなかったのに対し、本発明に従ったものでは430Aと、大幅な向上が認められている。

【0052】なお、先に少し制限電圧に関し述べたが、これはブレイクオーバー電圧 V_{bo} が、印加されるサージの急峻度 (dv/dt) により変調されたものとも考えることもできる。例えば10/1000 μs で規格化されたときのブレイクオーバー電圧 V_{bo} が設計仕様値160Vである素子について、サージの急峻度を0.6KV/ μs から3.2KV/ μs の間で変化させた所、ブレイクオーバー電圧は162Vから204Vにまで変化した。これは、厚みが厚いと少数キャリアが第三領域30から第二領域20に到達するのにサージの立ち上がり10に比べて時間が掛かり、直ぐにブレイクオーバーできないために初期のパンチスルーによる多数キャリア電流がひたすら増してゆき、基板厚み方向の電流抵抗積で素子両端電圧が上がってしまうためであるが、例えばこのサージ防護素子により保護されるべき外部回路の制限電圧がその間の値であった場合、このサージ防護素子は安心して使えないということになる。ブレイクオーバー電流 I_{bo} もかなり大きく変わり、1A程度から4A程度にまで増加し、これも望ましくない結果を招き兼ねない。しかし、本発明によれば、制限電圧やブレイクオーバー電流も薄層化部分の厚み d_s により調整、制御可能となる。

【0053】特に、上述のようにサージ急峻度の変化に対し、サージ印加時のブレイクオーバー電圧の上昇率が大い(変化の幅が大い)のが問題であり、できればサージ急峻度に依らず極力一定の値であることが望ましいのであるが、本発明に従い基板厚を部分的に薄くした領域に素子を作り込むと、その上昇率を大幅に低減させることができる。なお、ブレイクオーバー電流 I_{bo} が第一領域10の厚み d_s により変更、調整可能となり得ると同様、保持電流 I_h も調整可能である。

【0054】以下、本発明の他の実施形態につき説明するが、同一の符号は同様なし同一でよい構成子を示し、特に説明しないものは他で説明した所を援用できるものである。まず図6、7は、本発明半導体素子100として同じくサージ防護素子を例に取り、本発明に従って薄層化部分を作る時の他の実施形態を示している。図6では、図2において凹部Uの形成されていたウエハ主面とは反対側に凹部Uを形成した場合が示されており、図7では両主面側に凹部Uを形成した場合が示されている。もちろん、製作の都合や加工装置の都合、パッケージングの都合等に併せて任意の形態を取ってよい。このことは、後述する実施形態を含め、他の種類の半導体素

子に本発明を適用する場合も同様である。

【0055】また、図6、7では、それぞれの中で仮想線で示しているように、両極性サージ吸収用サージ防護素子100を構成するために第五領域50を設ける場合にも、これを複数の部分領域から構成して並設させ、かつ、望ましくは対向する第三領域もそのようにした上で、さらに平面的に見てこれら第三、第五領域30、50を直交させた場合も示している。このようにすると、先掲の公知文献中にも認められるように、基板内キャリア流を均一化することができ、より安定な動作を見込むことができる。

【0056】図8の素子100はこれまで述べてきたサージ防護素子100の少し異なる改変例であって、ここでは第五領域50は第一領域10と同一の第一導電型で、望ましくは少し高濃度の領域であり、直接に第一領域10に接触する関係で設けられている。第一領域10の導電型と異なる第二の導電型の第四領域40は第一導電型の第三領域30と平面的に見て交差する関係で複数個に並設されている(従って第三領域30もそうである)。これらの構造的特徴は片極性用のサージ防護素子としての改良に寄与し、後者の特徴はすでに述べたように基板内キャリア流を均一化するためであるが、前者については下記の通りである。

【0057】この種の縦型サージ防護素子では、それが正しい動作をしているときには、そのときの条件に応じた直流印加時のブレイクオーバー電圧 V_{bo} 以下の絶対値電圧を持つサージには応答しない筈である。ところが、第四領域40の側で第一領域10にオーミック接触する第二電極E2を持たない素子構造では、第一、第二電極E1、E2間に印加されたサージ電圧が直流印加時のブレイクオーバー電圧 V_{bo} よりも絶対値で小さい範囲内にあるにもかかわらず、時としてブレイクオーバーしてしまう誤動作を起こすことがあった。

【0058】つまり、第一領域10と第二領域20とにより形成され、サージが印加された時に逆バイアスされるpn接合には、通常、接合容量 C_j が見込まれるので、第一、第二電極E1、E2間に電圧立ち上がりの時間微分値が dv/dt のサージが印加されると、この接合容量 C_j を充電する過渡的な電流として、 $i_T = (dv/dt) C_j$ なる変位電流 i_T が流れる。この式における接合容量 C_j は、サージ耐量を十分大きく取るために各領域を面積的に大きくすると、それに連れてかなり大きくなる場合が多く、例えば100pF程度からそれ以上の値になることも普通に考えられる。一方、種々のサージの性質や振舞いについては既に従来からも詳しい考察、研究が多岐に亘って為されており、その結果からすれば、例えば通信線路への雷サージの印加時等にあっては回路系への誘導ノイズ電圧値の波高値こそ、よしんば低くても、サージの鋭さ (dv/dt) としては1KV/ μs 程度位までの値が考えられる。従って、これらの値を上式に代入すると明らかな通り、接合

容量を充電する過渡的な電流の値 i_T は 100mA 程度になり得、 dV/dt 値が大きくなればもっと大きくなる。

【0059】一方で、本発明でも指向しているように、高速動作の要求に応ずるため、第一領域10の厚み d_s を薄くして第四領域40と第二領域20との距離をかなり短く採るように図ると、ブレイクオーバー電流 I_{bo} の値を余り大きく採れなくなる傾向が出てくることもあり、絶対的な意味では製造パラメータによるばらつきも十分満足な程に小さいとは言えないこと等から、ブレイクオーバー電流 I_{bo} の値が、上記の式で求められるサージ印加時のそのときどきの変位電流値 i_T に対して変わらない程度に、ないしはそれ以下にさえなることがある。

【0060】こうしたことが複合的な要因となって、サージの尖頭電圧値こそ、設計上のブレイクオーバー電圧 V_{bo} には至らない、従って特に吸収する必要もない「小さなサージ」であるにもかかわらず、その立ち上がりが極めて急峻で、電圧の時間微分値 dV/dt がかなり高いサージであると、素子をブレイクオーバーさせる現象を生じることがある。図18の特性図上で言えば、そのような誤動作が起きているときの実効的なブレイクオーバー電圧 V_{bo} は、当該特性図上に示されている値よりかなり小さい方（左側）に移行したに等価となる。

【0061】これに対し、図8に示されているように、第四領域40に電氣的に接続している第二電極E2が、同時にまた、第四領域40の近傍において望ましくは第一領域と同じ導電型の第五領域50を介し第一領域10にも電氣的に導通していると、第一領域10と第二領域20とを逆バイアスする極性のサージが印加され、従って第一領域10と第四領域40との少数キャリア注入接合が順バイアスされる関係となる時にも、当該接合に順方向電圧が印加されてこれがターンオンする前に、第二電極E2からオーミック接触領域50を介し第一領域10中に当該第一領域10に与る多数キャリアを流し込むことができ、第一領域10と第二領域20とで構成されるpn接合の接合容量 C_j を速やかに充電し得るようになり、もって dV/dt 耐性が高められる。第五領域50を第一領域10と同一導電型の高濃度領域とするのは、ここでのオーミック接触特性を高めるために望ましい配慮である。しかし、原理的には特に高濃度である必要はなく、さらには第五領域50がなくて、第二電極E2が直接に第一領域10に接触、導通する部分を持

【0062】もちろん、こうした接合容量充電のための当初の第一領域10への多数キャリアの注入という現象も、すでに説明した降伏現象の発生後ではその基本的な動作自体に悪影響を及ぼさない。第一領域10と第三領域30とがパンチスルーした後に上記した多数キャリアによる電流が増し、第四領域40の主として厚み方向（深さ方向）の電圧降下が当該第四領域40と第一領域10との間の少数キャリア注入接合の順方向電圧に等しくなるとこの接合がオンとなり、そのときからは第一領域10にとって

の少数キャリアが第四領域40から注入され始めるため、以降、すでに述べたメカニズムにより、素子の降伏からブレイクオーバーに至ることができるからである。また、ブレイクオーバーした後は第一、第二電極E1、E2間の素子電流の主電流通路は、第二電極E2と第一領域10とのオーミック接触領域（高濃度第五領域）50を介する経路ではなく、第三領域30と第四領域40を介する経路として確立し、これは先掲の図2や図6、7に示したような、第五領域50を有さない素子における状態とほぼ等価となる。

【0063】なお、これまではパンチスルー型の従来素子について述べてきたが、模式的に示される断面構造上は図2、6、7及び8に示されている構造とほとんど変わらなくても、本出願人の知見によれば、第二領域20や第三領域30の厚さを厚くする等の外、各領域の幾何的パラメータや不純物濃度パラメータ等を適当に選択すると、降伏開始の当初のメカニズムには第一、第二領域10、20間の雪崩降伏やツェナ降伏を利用し、ブレイクオーバーに関しては上記したパンチスルー型と同様の正帰還メカニズムとなるサージ防護素子も作製できることも既に分かっている。先にも少し述べたように、雪崩降伏やツェナ降伏は、一般に「ポイントフェノメノン（局所現象）」と呼ばれている通り、降伏をし始める個所、ないしは降伏後も電界の集中する個所が局所的になり易いため、サージ耐量 I_{pp} を大きく取るのが難しく、パンチスルー型の素子に比べると不利である外、設計自由度も小さく、製造パラメータに対する許容度も乏しい等、やや劣った側面を見せる。しかし、そうした優劣の比較をせず、本発明の趣旨からのみ考えるならば、初期降伏現象に他のメカニズムを用いるサージ防護素子に対しても、本発明は同様に適用することができ、薄層化した第一領域10の厚み d_s の如何に応じ、オン電圧 V_{on} 、サージ耐量 I_{pp} 、ブレイクオーバー電圧 V_{bo} ないしブレイクオーバー電流 I_{bo} 、そして制限電圧等を調整、規定できる。

【0064】さらに言えば、図9に示すように、断面構造としては図2に示したサージ防護素子と同様であっても、各領域10～40の厚さや各領域の幾何的パラメータ、不純物濃度パラメータ等を適当に選択し、特に第四領域40を第一領域10の導電型と同一として、望ましくはさらに高濃度不純物領域すると、ブレイクオーバーを伴わない定電圧ダイオード100も構成でき、この場合にも凹部Uの深さ、つまりは第一領域10の薄層化の結果である厚み d_s により、オン抵抗ないしクランプ電圧を所望する値に調整、規定でき、ひいては定電圧ダイオードとして通過させ得る電流容量を調整することもできる。なお、高濃度な第四領域40は必須ではなく、第二の電極E2は直接に第一の領域10に導通していても良いし、初期降伏メカニズムにパンチスルー以外の降伏メカニズムを採用するものにも適用可能である。

【0065】図10は本発明を三端子サイリスタ100に適用した場合の構造例を示している。第一領域10と逆導電

型の第二領域20内に作り込まれ、第一領域10と同一導電型の第三領域30にのみ接触する第二電極E2は主たる電流通路の一端を形成し、これは図示の導電型関係ではいわゆるアノード電極となるが、これとは別に第二領域20の表面に接触する制御電極E3も第三の電極として設けられ、これがサイリスタとしての公知のゲート端子ないしトリガ端子を構成している。第一領域10の対向する主面には第一領域10とは逆導電型の第四領域40が備えられ、これに第二電極E2が接触することにより、主電流通路の他端としてのカソード電極が形成されている。

【0066】こうしたサイリスタ100の基本構造自体は古くから周知であるので本書で詳しくは触れない。第三電極E3に流れ込むトリガ電流によりターンオンして第一、第二電極E1、E2間が導通するが、その特性図もサージ防護素子に関して図18に示した特性に類似する。従ってまた、本発明の効果の及ぶ範囲も同様であり、意図的に第一領域10を薄層化する厚み d_s を調整することでオン電圧、電流容量、ブレイクオーバー電圧、ブレイクオーバー電流、保持電流等々を調整、規定できる。結果として第一領域10の薄層化は高速動作化にも寄与する。

【0067】図11は同様に本発明を適用したサイリスタ100であるが、カソード側第二電極E2は望ましくは第一領域10と同一導電型でより高濃度不純物を含む第五領域50を介し第一領域10にも導通していて、これにより、図8に示して説明したサージ防護素子における同様の理由により、初期応答特性を改善、安定化することができる。また、第四領域40が互いに複数個から構成され、望ましくは第三領域30、ないし第二領域20と第三領域30の組も互いに並設する関係で複数個設けられていれば、これも既説の通り、ウエハ内キャリア流の均一化による動作の安定化を増すのに寄与する。

【0068】図12(A)にはDMOS素子に、図12(B)にはVMOS素子に、それぞれ本発明を適用した実施例が示されている。これらも断面構造それ自体は公知既存の構造で良く、動作それ自体も周知の故に詳しくは述べない。両素子をまとめて説明するに、第一領域10の導電型と異なる導電型の第二領域20が図示の場合は左右に一つずつ二組ある場合が示されていて、この第二領域20、20内にはそれぞれ第一導電型の二つの第三領域30、30が有り、その表面にソースまたはドレイン電極を構成する第一電極E1がそれぞれオーミック接触している。図中で上面側である第一主面上にはゲート絶縁膜61を介して制御電極であるゲート電極E3が第三の電極として設けられ、これは第三領域30の上面上から第二領域20の上面上を渡し越し、第一領域表面に跨っている。本発明により薄層化された第一領域10であるウエハ10の第二主面上に設けられている第二電極E2はドレインまたはソース電極を構成し、良好なオーミック接触を採るために望ましくは第一領域10と同じ導電型で高濃度な第四領域40を介し、当該第一領域10に導通している。通常、第一電極E1の方がソース電

極、第二電極E2がドレイン電極と呼ばれることが多い。

【0069】このような構造ではゲート電極E3の下第二領域20の表面近傍部分が実効的なチャネル形成領域となり、ゲート電極に印加される電圧に応じ、ソースドレイン間の導通状態が制御される。キャリア流（例えば図示の各領域導電型関係では電子流）は最初は第一主面に沿って横に流れるが、チャネル形成領域を越えると第一領域10中をその厚み方向に流れ、望ましくは設けられている第四領域40を経て第二電極E2に至る。従って、厚み領域の寄生抵抗が支配的になり、ために本発明による第一領域10の厚み d_s の調整はその素子特性、例えばオン抵抗を望ましい値範囲に調整でき、ひいては電流容量の大容量化やオン電圧の低減化、高速動作化を生むことができる。従来のように、用いるウエハの厚みにより素子特性が固定ないし制限されてしまったり、これを改善するためにエビタキシャル法等、面倒であるか高価に付く作製工程を経ねばならない不都合がなくなる。

【0070】実際、本出願人の実験例では、本発明に従い第一領域10の厚み d_s をエッチングにより100 μm にまで低減させたこの種のMOSFETでは、厚み d_0 が550 μm のウエハをそのまま用いて作製した場合に比し、オン抵抗を四分の一にまで低減でき、ゲートドレイン間電圧の上昇もなく、電流容量も大幅に増し得る成功例が得られた。

【0071】図13に示す本発明素子100は、図12(A)に示したDMOS素子において第四領域40の導電型を第一領域10とは異なる導電型にしたことを除き、構造的には同様である。しかし、第四領域40を第一領域10と異なる導電型（望ましくは高濃度）にしたこの種の素子は、最近では周知のように、電界効果トランジスタの変形としてよりも、一般にバイポーラ動作に従うIGBT素子として認知されている。こうした素子では第三領域30が一般にエミッタと呼ばれ、第四領域40がコレクタと呼ばれる外、ゲート電極E3の下第二領域20は第一のベース領域、第一領域10は第二のベース領域と呼ばれる。従ってまた、第一電極E1はエミッタ電極、第二電極E2がコレクタ電極となり、第一のベース領域である第二領域20のゲート電極下表面近傍部分が実効的なチャネル形成領域を構成する。

【0072】動作それ自体も周知故に説明を省略するが、本発明に従い第一領域10の厚み d_s を任意の厚みに調整できるようにすると、やはり主電流が主に流れる第一領域厚み方向の寄生抵抗を所望の値にすることができ、与えられた出発ウエハの厚み d_0 に支配されない。オン電圧を上昇させることなく電流容量を増し、高速動作を実現することができる。しかも、従来のようにエビタキシャル基板を用いる場合に比し、物理的に薄層化する本発明の手法では、コストを大幅に下げることができる外、製造工程が簡単化するために歩留まりも向上するし生産効率も上がる。

【0073】特に、図13図示のIGBTの変形例である図14図示の本発明半導体素子100のように、第四領域40とは別に第二電極E2が望ましくは高濃度で第一領域10と同一導電型の第五領域50を介し第一領域に接触することで動作初期の少数キャリア注入を伴う構造（いわゆるコレクタショート型IGBT素子）では、単に第一領域10の厚み d_s の減少に応じて寄生抵抗値を減らせるのみではなく、コレクタ領域40から注入されてゲート電極下の第一ベース領域20に至る動作初期における少数キャリア流をより早く当該第一ベース領域20に到達させ、動作の開始を早め、ひいては高速動作下における大電流容量化、低オン電圧化を果たすことができる。

【0074】これまで述べてきた如何なる種類の半導体素子を作製する時にも、また、本発明の趣旨に即しさらに他の種類の半導体素子を作製する時にも、凹部Uのある一つの薄層化部分には必ずしも一つの半導体素子を作製せねばならない必然性はなく、むしろ、幾つかの素子をまとめて作製することの方が多くなると思われる。図15はそのような場合における概念構造を示している。つまり、一つの単位素子101 というものを考えて、これを複数個、同一の薄層化部分に並設、集積するのである。図示の例では、それぞれの単位素子101 は第一領域10を共通とし、それぞれ第一の主面側に第二領域20とその中に形成された第三領域30、反対側の主面側にこれも共通の第四領域40を持つ半導体素子、例えば図2に示したサージ防護素子と同様の構造である素子が例示されているが、共通になっている第四領域40を個別に形成しても良い外、既述してきた他の素子構造が組み込まれていても良い。

【0075】このような構造では、第一領域10の厚み d_s の薄層化の程度に応じ、これまで述べてきた種々の所望する素子特性を調整、規定できるに加え、特に多回線用サージ防護素子を一つのモジュールとして組む場合等に有効なことに、隣接する半導体素子に相互作用を見込ませて同時動作性を高めたり、逆に相互作用を低減させてそれぞれになるべく完全な独立な動作としたいときに、第一領域10の厚み d_s の調整を利用することができる。

【0076】例えば、線路L1、L2を有する平衡伝送線路が有り、これら各線路と接地との間に図2に即して示したようなサージ防護素子をそれぞれ設ける場合、共通モードサージの印加時にはそれらのサージ防護素子になるべく同時に動作しないと、一方のサージ防護素子がオンとなった瞬間にノーマルモードサージが生じ、その電圧値が被保護回路で許容されている対接地間耐電圧を上回る場合がある。そこで、こうした場合には、図15に示されているように単位素子101として図2に示した素子を同一の薄層化部分に接続すべき線路数に応じて必要個数、並設して作り、それら各素子の各領域の製作パラメータ等をなるべく同じになるようにした上で、さらに、隣接するサージ防護素子同士の間横方向距離 dx （例え

ば第二領域20、20間の距離 dx)に比し、主たる電流の縦方向通路長（薄層化部分を厚み方向に流れる電流通路長）、例えば第二領域30と第四領域40間の距離 dy を第二の厚み d_s の調整により長くすると、これら隣接素子は互いに相互作用を及ぼし得るようになり、一方が例えば降伏動作開始からブレイクオーバー動作を生起しようとした場合、他方もこれに連られて動作を開始しようとする効果が生じ、同時動作性を満足することができる。

【0077】しかし、これを逆に言えば、相互作用により隣の素子の動作の影響を受けてはまずい素子の場合には、隣接する素子間距離 dx よりも薄層化部分厚み方向に流れる縦方向の主たる電流通路長 dy が短くなるよう、半導体ウエハないし第一領域10の厚み d_s を調整することで、隣接する素子同志の間でも動作の独立性を確保することができることを意味する。

【0078】なお、図15では断面で見て主面と平行な一方向に単位半導体素子101が n 個並列されている状態しか示していないが、当然のことながら、主面と平行な面内において図示の並設方向と直交する方向にもさらに m 個の素子を並設することができる。また、加工が終了し、最終的にモジュール化する等して製品として出庫する過程では、パッケージの他の構造部分が半導体素子構築部分を機械的に支え得るため、最早半導体ウエハ10の厚み dx による機械的支持強度も不要となることもあり、そうした場合には厚み d_s にまで薄層化した部分のみをダイシングその他の適当なる手法でいわゆるチップとして切り出し、切り出したものをモジュールないし他の支持構造に搭載して良い。これは最終製品自体を薄型化することにもなる。もちろん、既に述べたように、一つのウエハには複数個の凹部を形成して良く、当然、これら複数個の凹部の各々に作り込まれた一つまたは複数個の素子ごとにそれらを切り出して用いることができる。

【0079】図16は、本発明を適用する上で望ましい少し細かな改変例を示している。図示した半導体素子100は、構造的にはこれまで述べてきた種々の半導体素子であって、第一領域10を挟み第一主面側に第二領域20とその中に形成された第三領域30を有し、他面側に第四領域40（複数個となっているが一つでもよい）と、第二電極E2を第一領域10にオーミック接触させる第五領域を有しているような構造のものが例示されている。

【0080】まず、第二領域20は第三領域30の下面の角部近傍で局部的に厚くなった領域を有している。これは、例えばパンチスルー型のサージ防護素子を構成する場合やサイリスタやMOSFET類を構築する場合、局所的な電界集中により不測にも第三領域30の下面角部近傍で雪崩降伏が生ずるのを防ぐ効果がある。また、図示のように、第二領域が第一主面側にも設けられた凹部Uの側面にも沿って設けられていることも、このような電界の局所集中を防ぐに効果があるため、耐電圧向上効果を招けるし、熱放散の均質化によって素子の発熱を低減し、安

定な動作と大電流量化を生む上で有効である。

【0081】例えば第二電極E2の第一領域10に対する良好なオーミック接触を採らせるために設けられている第五領域50が、図示のように、凹部Uの下面（底面）のみならず、側面にも沿って設けられているようにすると、より低抵抗なオーミック接触が測れ、また、熱放散等も均質になって、素子の発熱を低減し、上述と同様、より安定な動作と大電流量化を果たすこと等もできる。

【0082】本発明はまた、別な観点から考慮することもできる。つまり、この種の半導体産業では、経済効率も無視し得ない要因になる。従って、工程数の増加も本来は望ましくない。もちろん、工程数の増加、それに伴うコスト増をある程度無視しても、より性能の良い素子を得たいとするならば、上述してきた本発明は遺憾なく適用でき、増加した薄層化工程において薄層化部分の厚みdsを必要な程度に薄くすることだけを考えればよい。しかし、素子の性能を少なくとも維持し、望ましくはさらに改善しながら、経済効率を少なくとも下げず、望ましくは上げようとするならば、薄層化部分の厚みdsの上限、すなわち、少なくともそれ以下の厚みにまでは薄くせねばならないとする値も定義できる。換言すれば、その条件を満たせば、工程数増加の不利を補って余りあり、のみならず、素子特性の改善効果を伴いながらの経済効果の更なる上昇をも図ることができる。

【0083】例えば、図2及び図6～8に図示したサージ防護素子に即して説明すると、出発ウエハに対する工程として、本発明によるウエハの薄層化工程を含まない従来における全製造工程は、主として、

- 1)第四領域40の形成
- 2)第二領域20の形成
- 3)第三領域30の形成
- 4)コンタクトホール9の形成
- 5)電極E1、E2の形成

の全五工程となる。これに対し、本発明によるウエハの薄層化工程が加わると全工程数は六工程になる。

【0084】つまり、従来例に比し、本発明を採用したのための製造工程増加率δは、この場合は $\delta = (6/5) = 1.2$ となる。ならば逆に、素子性能が1.2倍になる薄層化の程度がどうかと考えるならば、例えば図5によれば、500μm厚のウエハを用いて薄層化することなくそのまま作製した場合のサージ防護素子100のサージ耐量Ipp（約160A）がその1.2倍（約190A）になる厚みは略々460μmである。オン電圧Vonの向上効果でも同様で、その厚み以下では性能が1.2倍以上、つまりはオン電圧Vonがその逆数の5/6倍（0.8333倍）以上にまで低減している。

【0085】と言うことは、この二つの素子パラメータIpp、Vonで素子設計する場合、本発明を適用した素子が、従来手法で作製された素子と少なくとも同様の性能を維持し、望ましくは更なる性能向上効果を期待すると

の要請がなされた時でも、少なくともまず、本発明により薄層化部分の厚みdsを460/500倍以下とすると、同等性能素子における単位素子あたりの素子面積の方は本発明により5/6倍以下にすることができ、一枚のウエハからの収率は逆に高めることができる。

【0086】この考えを推し進めて、本発明で対象としているどの半導体素子においても必ず収量の増加が見込まれ、かつ、必ず性能の向上効果が見込まれるという条件を満たすための薄層化部分の厚みdsの上限を規定するならば、元のウエハの第一の厚みdoと既述の製造工程増加率δとに対し、

$$(ds/do) < (1/\delta) \cdots (1)$$

なる関係を満たす厚み以下とすれば一般的な指標となり、設計上、十分に使える限定となる。例えば、上記の例のように厚みdsをウエハの元の厚みdo=500μmの0.92倍の460μmにただけで、製造工程数δ=1.2の増加を埋め合わせできる場合もあるが、上記の(1)式に従うと、δの逆数は約0.8333となるので、これに従うならば、規定される厚みdsの上限値は約416.67μmとなる。従って当然ではあるが、この一般的に有用な式(1)に従えば、製造工程数が増しても、それを完全に補い、製造される素子の更なる性能向上と更なる収量増加が見込まれ、経済効果としても望ましい結果を得られる。例えば上記の例では、(1)式で規定される上限値417μm程度にまで薄くするとサージ耐量Ippは230Aに迫ろうとする

し、オン電圧は直流2A印加時で4V近くにまで低下する。【0087】もっとも、特にオン電圧の変化、それに伴う他のパラメータの変化等は、薄層化部分の厚みdsが薄くなるに連れ、厚みに対し自乗の関係で利いて来るので、理論的には上記の(1)式は、

$$(ds/do)^2 < (1/\delta) \cdots (1)'$$

と限定し直すことも提案でき、これは、本発明の効果を生み得るより確実な限定事項となる。が、上述した実例からも分かる通り、実際には上記(1)式の上限定でも、一般設計指標として十分に実効がある。

【0088】もちろん、素子面積の減少は素子接合容量の減少を生むから、回路に対する容量負荷も小さくなるし、薄層化部分の厚みdsが薄くなればサージ印加時のブレークオーバー電圧も小さくなる等、他の素子パラメータの改善もを招き得、商品価値を大いに上げることができる。

【0089】

【発明の効果】本発明によると、これまでは用いる半導体ウエハの厚みにより素子特性が相当程度、一義的に決められてしまっていた所、簡単に採用し得る機械的な物理的な手法で素子を作製する領域部分の厚みを調整し、薄層化することで、所望の素子特性を高い信頼性、再現性を持って得ることができる。素子を構成する各領域の物性パラメータや加工パラメータ等は同一にしても、素子を作り込む前の薄層化の程度により、互いに素

子特性の異なる素子を作製することもできる。さらに、従来の一部の素子において採られていたような、高価なエピタキシャル薄膜作製工程等も不要に出来る。また、素子作製領域は薄くしても、加工時に必要となる機械強度は、薄層化しなかった部分に任せることができる。経済効果を重視した場合にも、本発明によると収率増加効果を上げ、その上での素子特性向上効果をも期待できる。

【図面の簡単な説明】

【図1】本発明の基本的実施形態の概略構成図である。

【図2】本発明の具体的実施形態の第一例としてのサージ防護素子における概略構成図である。

【図3】サージ防護素子を作製する基板ウエハの厚みとオン電圧 V_{on} との関係例を示す特性図である。

【図4】サージ防護素子を作製する基板ウエハの厚みとブレイクオーバー電圧 V_{bo} との関係例を示す特性図である。

【図5】サージ防護素子を作成する基板ウエハの厚みとサージ耐量 I_{pp} との関係例を示す特性図である。

【図6】図2に示した本発明実施形態の一つであるサージ防護素子の第一の変形例の概略構成図である。

【図7】図2に示した本発明実施形態の一つであるサージ防護素子の第二の変形例の概略構成図である。

【図8】図2に示した本発明実施形態の一つであるサージ防護素子の第三の変形例の概略構成図である。

【図9】本発明を定電圧ダイオードに適用した場合の概略構成図である。

【図10】本発明を三端子サイリスタに適用した場合の概略構成図である。

【図11】本発明を三端子サイリスタに適用した場合の*

*さらに他の構成例の概略構成図である。

【図12】図12(A)は本発明をDMOS素子に、また図12(B)は本発明をVMOS素子に、それぞれ適用した場合の概略構成図である。

【図13】本発明をIGBT素子に適用した場合の概略構成図である。

【図14】本発明をコレクタショート型IGBT素子に適用した場合の概略構成図である。

【図15】本発明により薄層化された領域に複数の素子を作り込む場合の概略構成図である。

【図16】本発明に従って構成される半導体素子の細かな改変例を説明するための概略構成図である。

【図17】従来から提供されている一般的なサージ防護素子の基本構成の概略構成図である。

【図18】図17に示すサージ防護素子の代表的な電流対電圧特性図である。

【符号の説明】

10 第一領域、

20 第二領域、

30 第三領域、

40 第四領域、

50 第五領域

61 ゲート絶縁膜、

100 本発明により作製される半導体素子、

101 同一領域に複数個作製された場合の個々の単位半導体素子、

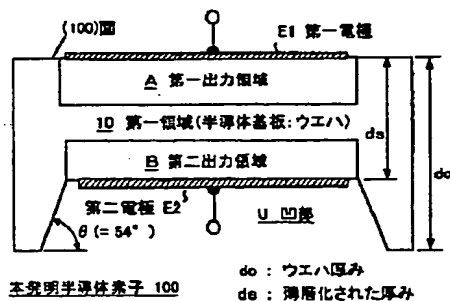
E1 第一の電極、

E2 第二の電極、

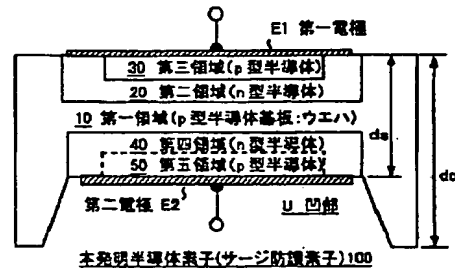
E3 第三の電極、

U 凹部

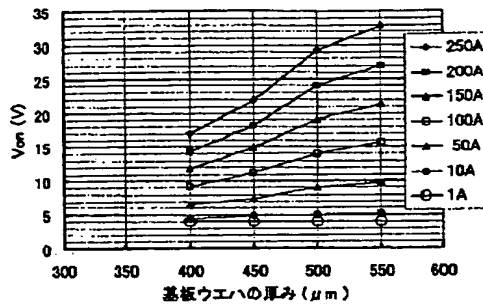
【図1】



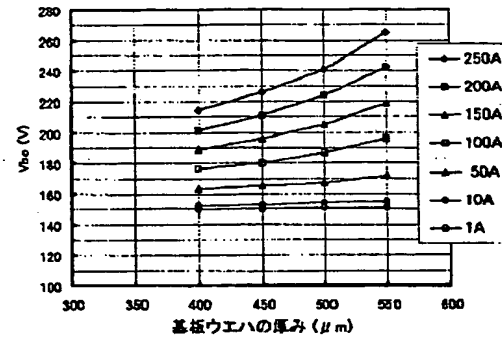
【図2】



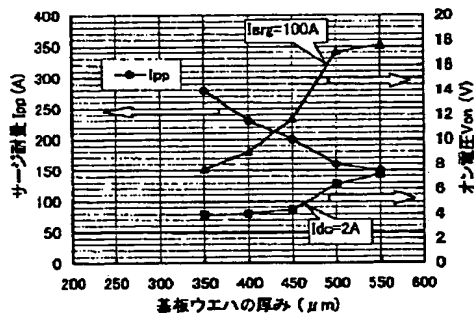
【図3】



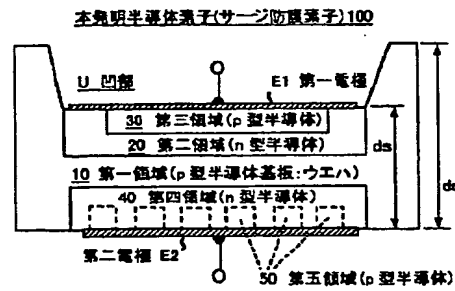
【図4】



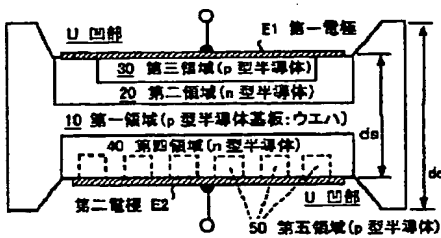
【図5】



【図6】

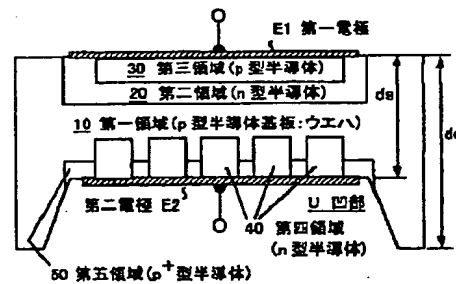


【図7】



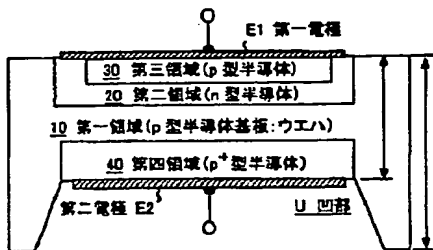
本発明半導体素子(サージ防護素子)100

【図8】



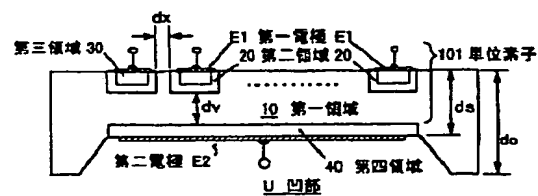
本発明半導体素子(サージ防護素子)100

【図9】



本発明半導体素子(コンテスレー型定電圧ダイオード)100

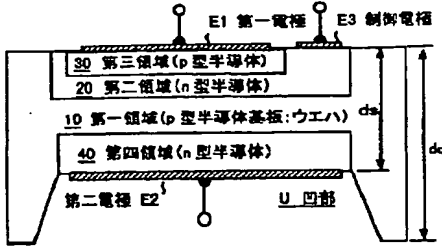
【図15】



本発明半導体素子 100

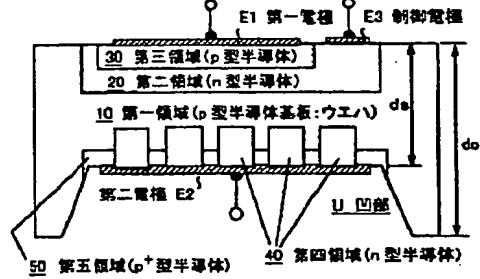
【図10】

本発明半導体素子(サイリスタ)100

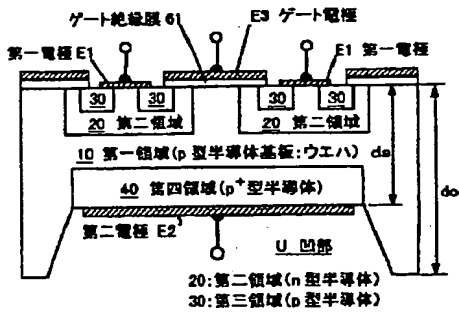


【図11】

本発明半導体素子(サイリスタ)100



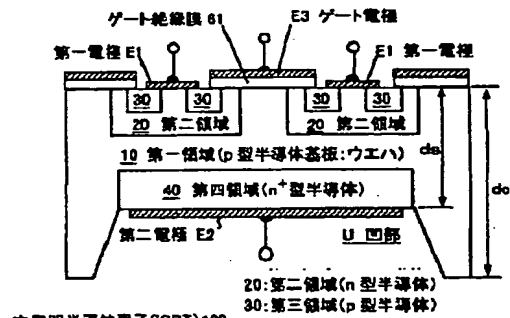
【図12】



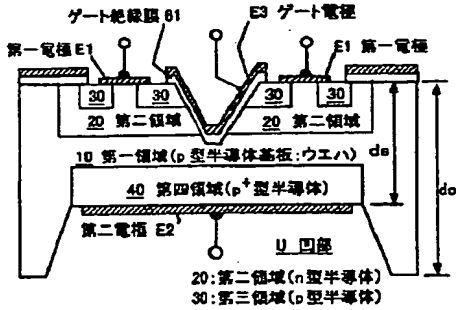
(A)

本発明半導体素子(DMOS)100

【図13】



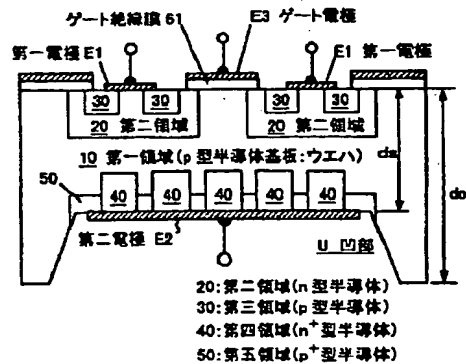
本発明半導体素子(GBT)100



(B)

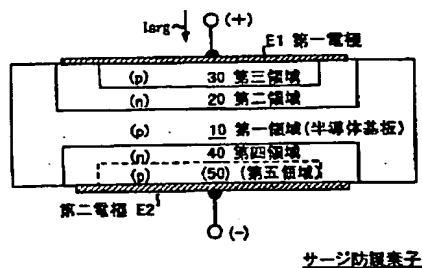
本発明半導体素子(VMOS)100

【図14】

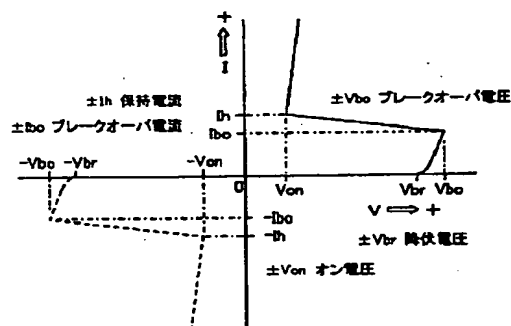


本発明半導体素子(コレクタシート型 IGBT)100

【圖 17】

[illegible]

【圖 18】



(51)Int.C1.7

H O I L 29/78

識別記号

6 5 2

6 5 3

655

29/861

FI

H O 1 L 29/78

29/90

29/74

29/90

テーマコード (参考)

655A

S

F

A

C

7

(72)発明者 吉原 弘章

神奈川県相模原市宮下1丁目1番12号 株式会社オプトテクノ内

(72)發明者 林 豊

茨城県つくば市梅園2-3-10

F ターム(参考) 5F005 AA02 AB02 AF01 AF02 BA02
BB01 EA02 GA01